

10/92

miesięcznik elektroników

cena 9500 zł

nr ind. 367141

SPIS TREŚCI

Superstróż systemów mikroprocesorowych.....	2
Generator płynnego zakresu z elektronicznym przestrajaniem.....	7
Układ monitorujący napięcie zasilania.....	7
Linia opóźniająca zachowująca szerokość impulsów...8	
Mikroprocesorowy tester układów cyfrowych TTL.....	9
Katalog 74HCxxx.....	13
Mieszacze cyfrowe.....	17
Włączanie i wyłączanie systemu mikroprocesorowego.....	19
Stabilny generator sinusoidalnego napięcia.....	19
Przeciwłamaniowy zamek szyfrowy z alarmem.....	20
Kilka uwag o przetworniku analogowo-cyfrowym C520D.....	22
Silnik krokowy sterowany portem drukarki.....	23

Superstróż systemów mikroprocesorowych

Układy MSC (microprocessor supervisory circuits) zapewniają nadzór napięcia zasilającego, stanu baterii, poprawnej pracy mikroprocesora (watchdog timer), ochronę pamięci CMOS RAM, generację sygnału RESET w sytuacjach awaryjnych. Szczególnie dobre rolę tę spełniają układy scalone firmy MAXIM MAX690/1/2/3/4/5.

Układy MAX690/2/4 spełniają cztery funkcje:

1. Generacja sygnału RESET przy włą-

czeniu i wyłączeniu zasilania.

2. Załączenie zasilania baterijnego dla CMOS RAM, mikroprocesorów CMOS i innych układów o małym poborze mocy.
3. Generacja sygnału RESET, jeśli układ alarmowy (watchdog timer) nie będzie taktowany w określonym czasie.
4. Detekcja błędnej wartości zasilania i niskiego stanu baterii.

Układy MAX691/3/5 zapewniają dodatkowo:

1. Blokadę zapisu pamięci CMOS RAM lub EEPROM.
2. Ustawianie opóźnienia sygnału RESET i zależności czasowych układu watchdog.
3. Oddzielenie wyjść sygnalizujących przerwy w pracy układu watchdog, załączenie baterii i niski stan napięcia V_{CC} .

1. Opis wyprowadzeń.

	PIN		FUNKCJA
	690/2/4	691/3/5	
V_{CC}	2	3	Zasilanie + 5V
V_{BATT}	8	1	Wejście baterii. Połączyć z GND w przypadku braku baterii.
V_{DDT}	1	2	Wewnętrznie połączzone z wyższym z napięciem V_{CC} i V_{BATT} . Połączyć z V_{CC} , jeśli V_{DDT} i V_{BATT} nie jest używane.
GND	3	4	OV.
RESET	7	15	Przechodzi w stan niski, gdy V_{CC} spadnie poniżej ustawionego progu lub V_{BATT} . Próg restartu wynosi typowo 4.65V dla układów MAX690/1/4/5 i 4.4V dla MAX692/3. RESET pozostaje w stanie LO przez 50ms po powrocie V_{CC} do 5V (dla MAX694/5-200ms). Przechodzi także do stanu LO na 50ms w wyniku zadziałania układu watchdog. Szerokość impulsu może być regulowana (Tab.1)
WDI	6	11	Wejście układu watchdog. Układ alarmowy jest zablokowany, jeśli WDI jest płynące lub wysterowane do poziomu V_{CC} .
PFI	4	9	Wejście nieodwracające detektora awarii zasilania. Gdy na PFI jest mniej niż 1.3V, PFI przechodzi w stan LO. Połączyć z GND lub V_{DDT} , jeśli nie jest używane.
PFO	5	10	Wejście detektora awarii zasilania. Detektor jest wyłączony i PFO przechodzi w stan LO, jeśli V_{CC} jest poniżej V_{BATT} .
CE IN	-	13	Wejście bramkujące układ. Połączyć z GND lub V_{DDT} , jeśli nie jest używane.
CE OUT	-	12	Przechodzi do stanu LO, jeśli CE IN jest w stanie LO i V_{CC} jest powyżej progu restartu.
BATT ON	-	5	Przechodzi do stanu wysokiego HI, gdy V_{BATT} jest wewnętrznie przyłączone do wejścia V_{BATT} o do stanu LO, gdy do V_{CC} . Wyjście typowo pobiera 25mA i może bezpośrednio sterować bazą zewnętrznego tranzystora PNP w celu zwiększenia wyjściowego prądu (pin 2) ponad znamionową wartość 50mA.
LOW LINE	-	6	Przechodzi do stanu LO, gdy V_{CC} spada poniżej progu restartu; wraca do HI, gdy V_{CC} wzrośnie ponad próg restartu.
RESET	-	16	Aktywne w stanie HI.
OSC SEL	-	8	Gdy nie jest podłączone lub w stanie HI, opóźnienie restartu i przerwy układu watchdog ustawia wewnętrzny oscylator. Gdy jest w stanie LO, aktywne jest wejście zewnętrznego oscylatora.
OSC IN	-	7	Wejście zewnętrznego oscylatora. Zależności czasowe mogą być także ustalone przez zewnętrzny kondensator.
WDO	-	14	Wejście układu alarmowego (watchdog); jest w stanie LO, gdy wejście WDI pozostaje w stanie HI lub LO dłużej niż zadany czas przerwy układu watchdog. Przechodzi do stanu HI po zmianie stanu na WDI. Jeżeli WDI nie jest podłączone lub na poziomie 1/2 V_{CC} , WDO pozostaje w stanie HI (tak samo, gdy LOW LINE jest LO)

Jak zamieścić ogłoszenie w "NE".

Aby zamieścić ogłoszenie w "NOWYM ELEKTRONIKU" należy przesłać treść ogłoszenia do redakcji na adres: P.W. "ARTCOM", Redakcja "Nowego Elektronika", skr. poczt. 100, 82-300 Elbląg 1. Po otrzymaniu treści ogłoszenia redakcja prześle rachunek do zleceniodawcy ogłoszenia.

CENY

- 1 cm² ogłoszenia 7.000 zł (najmniejsze ogłoszenie 20 cm²)
 - ogłoszenia drobne do 50 słów 4.000 zł za słowo
- Za treść ogłoszeń redakcja nie ponosi żadnej odpowiedzialności.

Skład - P.W. "ARTCOM"
Wydawca - P.W. "ARTCOM"
Druk - Grudziądzkie Zakłady Graficzne im W.Kulerskiego w Grudziądzu,
pl. Wolności 5

Adres Redakcji

P.W. "ARTCOM", Redakcja
NOWEGO ELEKTRONIKA, skr.
poczt. 100, 82-300 Elbląg 1,
tel. 418-84 wew. 32

Redaguje zespół: J. Ryszard
Świątkowski - red. naczelny,
Janusz Romanowski, Jarosław
Bereda, Wiesław Oleszczuk,
Dariusz Mickiewicz, Janusz
Mikowicz

Stali współpracownicy:
Bieńkowski Dariusz, Dąbrow-
ski Witold, Krzysztofek Robert,
Pędzik Zbigniew, Szcze-
śniowicz Sławomir, Rode Alek-
sander.

Redakcja zastrzega sobie prawo
skracania i korekty nadesłanych
artykułów.

Jeżeli typowe opóźnienie 50ns sygnału CE OUT jest za duże, należy połączyć CE IN z GND a CE OUT użyć do sterowania szybkiej zewnętrznej bramki logicznej. Innym rozwiązaniem jest pomnożyć logicznie wyjście LOW LINE (LOW LINE przechodzi do stanu LO, gdy V_{CC} jest mniejsze od V_{BATT}) z sygnałem CE lub WR. Zewnętrzna bramka logiczna i sygnał RESET układów MAX690/2/4 może także służyć do zabezpieczenia pamięci CMOS RAM.

2.1.4 Układ alarmowy (watchdog timer).

Mikroprocesor steruje wejście układu watchdog WDI jedną z linii I/O. Gdy wyprowadzenia OSC IN i OSC SEL nie są podłączone, mikroprocesor musi taktować wejście WDI co 1.6s dla potwierdzenia poprawności wykonywania programu. Jeżeli wystąpi błąd sprzętu lub programu, WDI nie będzie taktowane i układ wyśle po 1.6s impuls RESET o czasie trwania 50ms. Impuls restartu będzie wysłany co 1.6s do chwili, aż WDI będzie znów strobowane.

Wyjście WDO przejdzie do stanu niskiego, jeśli układ watchdog nie będzie strobowany z określoną częstotliwością i będzie w nim przebiegała do chwili zmiany stanu na WDI. Przejście wówczas do stanu HI (ten sam efekt powoduje spadek V_{CC} poniżej progu restartu). Układ alarmowy może być zablokowany przez postawienie wyprowadzenia WDI w powietrze. Układy MAX690/2/4 mają ustaloną częstotliwość taktowania na 1.6s i szerokość impulsu RESET na 50ms, zaś układy MAX691/3/5 pozwalają na zadanie innych czasów jak pokazano w Tab.1 i Rys.3.

Wewnętrzny oscylator jest aktywny, jeśli OSC SEL jest pływające (w powietrze). W tym trybie watchdog ma okres przerwy 1.6s (OSC IN niepodłączone) lub 100ms (OSC IN do masy). W obydwu przypadkach jednak, bezpośrednio po restarcie czas ten wynosi 1.6s. Umożliwia to mikroprocesorowi reinicjalizację systemu. Program powinien być tak pisany, aby port I/O sterujący WDI pozostawał w stanie charakterystycznym dla procedury restartu do chwili jej zakończenia a mikroprocesor miał możliwość obsługi WDI z minimalnym okresem 70ms.

2.1.5 Zasilanie baterijne systemów.

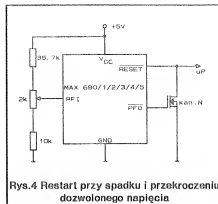
Układ przełączający porównuje V_{CC} z wejściem V_{BATT} i łączy V_{OUT} z wyższym z nich. Zasilanie następuje, gdy V_{CC} jest 50mV większe od V_{BATT} przy zaniku zasilania oraz gdy V_{CC} jest o 70mV większe od V_{BATT} przy narasta-

niu zasilania. Histereza komparatora 20mV zabezpiecza przed powtarzalnymi szybkimi przetaczeniami gdy V_{CC} zanika bardzo wolno lub pozostaje prawie równe napięciu baterii. Kondensator 0.1µF lub większy na wyjściu V_{OUT} poprawia stabilność zasilania.

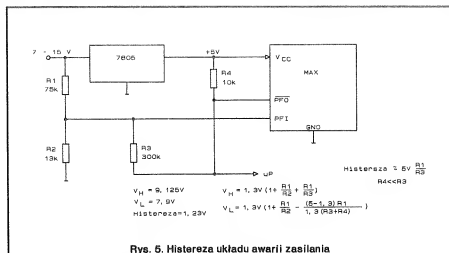
Z końcówki V_{BATT} wypływa mały prąd ładujący wartości 10nA (100n max.). Prąd ten zmienia się w zależności od obciążenia wyjścia V_{OUT} , ale jego kierunek jest taki, że bateria jest zawsze lekko ładowana i nigdy nie jest rozładowywana, jeśli V_{CC} znajduje się w normalnym zakresie pracy. Tak mały prąd ładowania jest bezpieczny nawet dla najmniejszego ogniwa baterii litowej.

Układy MAX690/1/4/5 pracują z bateriami o napięciach 2-4, 25V, zaś MAX692/3-2-4V. Tabela 2 opisuje stan wejść i wyjść w trybie zasilania ba-

teryjnego. Jeżeli bateria nie jest używana, należy V_{BATT} połączyć z GND a V_{OUT} z V_{CC} .



Rys.4 Restart przy spadku i przekroczeniu dozwolonego napięcia



Rys. 5. Histereza układu awarii zasilania

Tabela 1 Dobór zależności czasowych układu watchdog.

OSC SEL	OSC IN	okres watchdog		okres RESET	
		norm.	po rest.	MAX691/3	MAX695
LOW	zewn.zogar	1024tekl.	4096tekl.	512tekl.	2048tekl.
LOW	zewn.kond.	(400ms)/47(pF)°C	(1.6s)/47(pF)°C	(200ms)/47(pF)°C	(800ms)/47(pF)°C
plywaj.	LOW	100[ms]	1.6[s]	50[ms]	200[ms]
plywaj.	plywaj.	1.6[s]	1.6[s]	50[ms]	200[ms]

UWAGA: Nominalne częstotliwości oscylatora z kondensatorem wynosi $F_{osc} = 1/(2\pi \cdot R \cdot C)$

Tabela 2

V_{BATT} , V_{OUT}	V_{BATT} jest połączone wewnętrznie z V_{OUT}
RESET	LOW
LOW LINE	LOW
BATT ON	HIGH
WDI	wewnętrznie rozłączone
WDO	HIGH
PFI	nie wpływa na PFO
PFO	LOW
CE IN	wewnętrznie odłączone
CE OUT	HIGH
OSC IN	Ignorowane
OSC SEL	Ignorowane
V_{CC}	prąd zasilający wynosi max. 1µA, gdy V_{CC} jest mniejsze niż V_{BATT} -700mV lub 12µA, gdy V_{BATT} -700mV V_{CC} - V_{BATT} +100mV

3. Układy MAX690/2/4.

Mają one większość własności układów MAX691/3/5. Typowy schemat aplikacyjny przedstawia Rys.2. W tym przypadku wejście PFI jest podłączone do niestabilizowanego wejścia stabilizatora 7805. Próg restartu wynosi 4,4V (pozostałe 4,65V). Pobór prądu z baterii musi być mniejszy niż 50mA. Nie występuje wyjście BATT ON mogące sterować zewnętrznym tranzystorem. Nie ma układu zabezpieczenia pamięci (musi to robić sam mikroprocesor).

4. Uwagi aplikacyjne.

Układ z Rys.4 restartuje system zarówno w przypadku zbytłego obniżenia jak i podwyższenia napięcia. Ponieważ komparator w obwodzie detektora awarii zasilania jest nieodwracający, możemy uzyskać historię włączając rezystor między PFO i PFI jak pokazano na Rys.5. Gdy PFO jest LO, rezystor R3 pobiera prąd z węzła sumacyjnego przy wyprowadzeniu PFI. Jeżeli PFO jest HI, węzeł sumacyjny jest zasilany poprzez rezystory R3, R4.

Układ watchdog może być włączany i wyłączany pod kontrolą programu w wyniku sterowania wejścia WDI poprzez 3-stanowy bufor (Rys.6). Wadą takiego rozwiązania jest jednak to, że błąd programu może błędnie ustawić bufor, co uniemożliwiłoby układowi wykrycie przerwy w pracy mikroprocesora. W większości przypadków lepszą metodą jest powiększenie okresu strobowania WDI niż jego blokada (Rys.7). Gdy wejście sterujące jest HI, OSC SEL jest LO, okres strobowania ustala zewnętrzny kondensator. W przeciwnym wypadku aktywny jest oscylator wewnętrzny, a wybór okresu zależy od kierunku diody.

5. Parametry elektryczne.

5.1. Wartości graniczne.

Napięcia wyprowadzeń (względem GND);
 V_{CC} -0.3V ; 6V
 V_{BATT} -0.3V ; 6V
 Pozostałe -0.3V ; $V_{OUT} + 0.5V$

Prąd wejść:

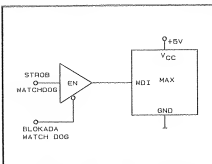
V_{CC} 200mA
 V_{BATT} 50mA
 GND 20mA

Prąd wyjść:

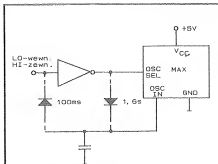
V_{OUT} zabezpieczone zwarciovo
 Pozostałe 20mA
 Prędkość narastania
 V_{CC}, V_{BATT} 100V/ μ s

5.2. Wartości nominalne (V_{CC} =pełny zakres, V_{BATT} =2.8V)

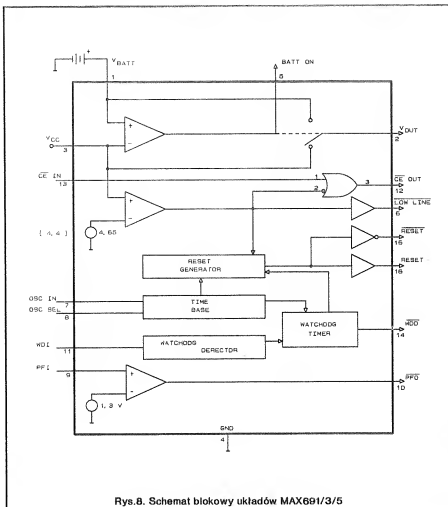
Parametr	Warunki	Min	Typ	Max	Jedn.
V_{CC}	MAX690/1/4/5 MAX692/3	4.75		5.5	V
		4.5		5.5	V
V_{BATT}	MAX690/1/4/5 MAX692/3	2.0		4.25	V
		2.0		4.0	V
V_{OUT}	$I_{OUT}=1mA$ $I_{OUT}=50mA$	$V_{CC}-0.3$	$V_{CC}-0.1$		V
		$V_{CC}-0.5$	$V_{CC}-0.2$		V



Rys.6. Programowa kontrola układu watchdog



Rys.7. Wybór okresu watchdog



Rys.8. Schemat blokowy układów MAX691/3/5

Parametr	Warunki	Min	Typ	Max	Jedn.
V_{OUT} (zas.bater.)	$I_{OUT}=250\mu A$, $V_{CC}=V_{BATT}=0.2V$	$V_{BATT}=0.1$	$V_{BATT}=0.02$		V
I_{CC}	$I_{OUT}=1mA$ $I_{OUT}=50mA$		2 3.5	5 10	mA mA
I_{CC} (zas.bater.)	$V_{CC}=0V$, $V_{BATT}=2.8V$		0.6	1	μA
Próg zał. baterii	Narastanie V_{CC}		70		mV
$V_{CC}-V_{BATT}$	Zanik V_{CC}		50		mV
BATT ON	$I_{pullup}=3.2mA$			0.4	V
BATT ON (zwarcie)	BATT ON- $V_{OUT}=4.5V$ (pobór prądu) BATT ON-0V (źródło prądu)	0.5	25 1	25	mA μA
Prąd ładow. baterii	$5.5V-V_{CC}-V_{BATT}=1V$	-0.1(-1)		+0.02	μA
Próg restartu	MAX690/1/4/5 MAX692/3	4.5 4.25	4.65 4.4	4.75 4.5	V V
Wydłużenie imp. RESET	OSC SEL=HI, $V_{CC}=5V$ MAX694/5 MAX690/1/2/3	140 35	200 50	280 70	ms ms
Okres watchdog	Wewn. osc., $V_{CC}=5V$ długi okres krótki okres Zewn. osc. długi okres krótki okres	1.0 70 3840 768	1.8 100	2.25 140 4097 1025	s ms takt. takt.
Szerokość imp. WDI	$V_L=0.4$, $V_H=0.8V_{CC}$	200			ns
Napięcie wypr. RESET LOW LINE, WDO, RESET	$I_{SINK}=1.8mA$, $V_{CC}=4.25V$ $I_{SOURCE}=1\mu A$, $V_{CC}=5V$			0.4	V V
Prąd zwarcłowy	RESET, LOW LINE, WDO	1	3	25	μA
Napięcie prog. WDI	$V_{CC}=5V$ LO HI	3.5		0.8	V V
I_{WE} WDI	WDI=V _{OUT} WDI=0V	-50	20 -15	50	μA μA
Próg PFI	$V_{CC}=5V$	1.2	1.3	1.4	V
I_{WE} PFI			+/-0.01	+/-25	nA
U_{HY} PFO	$I_{SINK}=3.2mA$ $I_{SOURCE}=1\mu A$	3.5		0.4	V V
V_L CE IN				0.8	V
V_H CE IN		3.0			V
V_{OL} CE OUT	$I_{SINK}=3.2mA$			0.4	V
V_{OH} CE OUT	$I_{SOURCE}=3mA$	$V_{OUT}=1.5$			V
I_{WE} OSC IN			2		μA
f_{WE} OSC IN	OSC SEL=0V	0		250	kHz
f_{WE} OSC IN (zew.kond.)	OSC SEL=0V, $C_{OSC}=47pF$		4		kHz

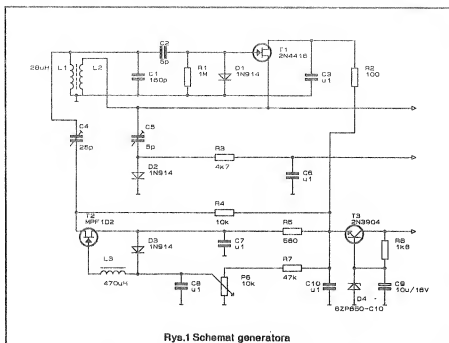
mgr inż. Robert Krzysztofek

Generator płynnego zakresu z elektronicznym przestrajanem

Elektroniczne przestrajanie częstotliwości jest szeroko stosowane w generatorach płynnego zakresu. Normalnie do tego celu stosowane są warikapki.

W generatorze, którego schemat pokazany jest na Rys.1 do zmiany częstotliwości zastosowany jest tranzystor polowy jako rezystor sterowany napięciem. Przy zmianie napięcia na brance tranzystora T2 zmienia się jego rezystancja, a tym samym i rola kondensatora C4 w obwodzie rezonansowym, określającym częstotliwość pracy generatora. Taki sposób elektrodynamicznego przestrajania zapewnia mniejszy, początkowy (po włączeniu) wybieg częstotliwości i jej drijf w czasie pracy, niż w generatorze z warikapem. Taki np. na częstotliwości 7MHz był osiągnięty wybieg częstotliwości (10 min. po włączeniu) tylko 60Hz.

Właściwy generator zbudowany jest na polowym tranzystorze T1 według tradycyjnego układu. Napięcie na źródle tranzystora T2 ustala się przez diodę D3, co pozwala rozszerzyć strefę regulacji rezystancji tego tranzystora i przez to zapewnić jeszcze szerszy zakres przestrajania generatora (do 250kHz na 7MHz). Konieczny zakres przestrajania ustalany jest przez zmienny kondensator C4. Napięcie, podawane przez rezystor R4 na dren tranzystora T2, stabilizuje jego pracę w szerokim zakresie temperatur. Rezystor R6, który służy do wzięcia napięcia generatora powinien być wielopiętrowy.



Rys.1 Schemat generatora

Kondensator C5 zapewnia obniżenie częstotliwości generatora przykładowo o 1kHz, przy podaniu napięcia na diodę D2 przez rezystor R3. Elementy te wprowadzone są do generatora, żeby można go było zastosować w transceiverze, na podstawie odbiornika o pojedynczej przemiennej częstotliwości. W przypadku tradycyjnego generatora można je wykluczyć.

Wartości elementów określających częstotliwość generatora, odpowiadają amatorskiemu pasmu 7MHz. W celu uzyskania małego dryfu częstotliwości

ci, kondensatory C1 i C2 powinny mieć zerowy temperaturowy współczynnik pojemności, a zmienne kondensatory C4 i C5 powinny być z powietrznym dielektrykiem.

Napięcie w.cz. na wyjściu wynosi około $0.7 + 1V$ (wartość efektywna).

mgr inż. Zbigniew Podzik

Opracowano na podstawie:

Radio 5/89

Układ monitorujący napięcie zasilania

Prostymi obwodami składającymi się tylko z diody stabilizacyjnej D1, pary tranzystorów pnp i kilku rezystorów może być użyty do monitorowania toru niskiego napięcia np. napięcia +5(V) zasilającego układy logiczne. Taki układ korzystny jest dla układów mikroprocesorowych, które używają zasilanych baterie pamięci CMOS lub EEPROM. Monitorowanie napięcia zapobiega nieumyślnym zapisom do pamięci w wyniku zakłóceń napięcia po wyłączeniu lub włączeniu zasilania, kiedy napięcie spada poniżej +5(V). Rozwiązanie tego problemu z użyciem konwencjonalnych komparatorów nie gwarantuje sukcesu, ponieważ wyjścia komparatorów nie zapewniają stanów

stabilnych, jeżeli napięcie zasilania komparatora spadnie poniżej wymaganej progę (dla danego układu komparatora). Wzmacniacze operacyjne są także okazjonalnie używane jako komparatory w takich zastosowaniach, jednak zwykle czas odpowiedzi takiego układu jest niewystarczający aby w porę ochronić pamięć od przypadkowego zapisu. Układ zabezpieczający powinien być tak zaprojektowany, aby dostarczał odpowiedź w ciągu maksymalnie 700ns (nanosekund) i potrafił utrzymać odpowiedni stan wyjścia jeśli napięcie zasilające obniży się o 0.6V) - Rys.1. Obwód dzięki swojej elastyczności pozwala także dostosować się do monitorowania spadków napięcia

do punktu wyzwolenia V_{be} (ang. trip point) o około 1,25[V]. Podczas gdy napięcie zasilania V_{cc} obniży się o 0,6 [V (V_{be})] złącze baza-emiter tranzystora T1 zostanie spolaryzowane w kierunku przewodzenia (ang. forward-bias), więc tranzystor T1 będzie w stanie przewodzenia i prąd płynący przez rezystor R2 utrzyma wyjście w stanie wysokim. Jeżeli V_{cc} podnosi się od poziomu zera to po przekroczeniu napięcia około 1,23[V] dioda stabilizacyjna (ang. reference diode) zacznie przewodzić i napięcie na bazie tranzystora T1 ustabilizuje się w stosunku do potencjału emitera. Pozwoli to na włączenie tranzystora T2. Punkt wyzwolenia T2 określony jest warunkiem:

$$(V_{cc} \times R4) / (R4 + R5) = 1.23[V]$$

czyli napięcie na rezystorze R4 musi spaść poniżej napięcia 1.23[V]. W punkcie tym tranzystor T2 będzie włączony podczas gdy tranzystor T1 zostanie zatkany. Wobec tego napięcie wyjściowe będzie w stanie niskim, gdyż przez rezystor R2 nie popłynie prąd.

Rezystor R6 dostarcza około 60[mV] histerezy, co gwarantuje bezpieczne przełączanie stanu układu czujnika napięcia. Wyjście komparatora jest w stanie wysokim dla napięcia zasilającego opadającego poniżej poziomu wyzwolenia, który w tym układzie arbitralnie ustawiony jest na 4.5[V]. Taki układ wymusza stan wysoki na wyjściu logicznej bramki CMOS, zabraniając tym samym jakiegokolwiek wpisu do pamięci, podczas gdy dostarcza napięcie zasilające pamięć staje się zbyt niskie. W tym przykładzie komparator i bramka były zasilane przez monitorowane napięcie +5[V]. Widać tutaj - Rys.1, że sygnał CS (ang. Chip Select) wyboru układu zostanie zabroniony, kiedy napięcie spadnie o 0.6[V]. W aplikacjach, w których pamięć jest zasilana z niezależnej baterii, komparator jak również bramka powinny być zasilane z tej samej baterii. W tym wypadku jeżeli chcemy ograniczyć pobór prądu przez nasz układ mo-

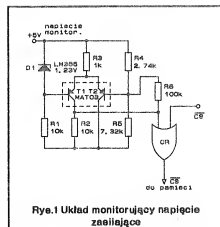
nitorujący, należy proporcjonalnie zwiększyć wartości rezystancji rezystorów R1, R2 oraz R3. Zwiększając każdy z tych trzech rezystorów 10 razy, ograniczymy wartość prądu zasilania poniżej 80[μA]. Należy jednak zwrócić uwagę na zjawisko, które wymaga kompromisu od projektanta, a mianowicie: **zmniejszenie prądu zasilającego (przez zwiększenie rezystancji) zwiększa czas reakcji komparatora**. Dobierając wartości rezystorów w obwodzie, komparator powinien wystawiać sygnał CS + 1 (blokada układu pamięci) w ciągu około 700[ns] w odpowiedzi na zmianę napięcia zasilającego od +5[V] do +3[V]. Około 600[ns] z tych 700[ns] spowodowane jest stałą czasową RC w obwodzie. Dlatego więc przez zwiększenie rezystancji w obwodzie około 10 razy, czas odpowiedzi zwiększy się do około 6[μs]. Mimo, że obwód dostarcza stanu wysokiego na wyjściu po osiągnięciu napięcia punktu wyzwolenia, to możliwe jest również odwrócenie poziomów i wyzwolenie niskiego poziomu po wykryciu zbyt niskiego napięcia zasilającego. Zachowanie się układu będzie analogiczne jak opisywanego wcześniej. Należy jedynie zmienić tranzystory z npn na npn (np. MAT-01) jako komparatory. Rezystory R1, R2, i R5 powinny być połączone do +5[V] (napięcia monitorowanego), podczas gdy R3, R4 i D1 po-

łączyć należy do masy. Taki układ będzie wytwarzał niski poziom na wyjściu, jeżeli napięcie Vcc spadnie o 0.6[V], oraz będzie miał wyjście w stanie wysokim, jeżeli napięcie zasilania będzie powyżej V_{cc}. Obwód ten może również służyć jako sygnał RESET dla systemu mikroprocesorowego jeśli nastąpi awaria zasilania, lub gdy obniży się poziom zasilania poniżej poziomu dobranej i ustawionej wartości elementów zewnętrznych układu.

mgr inż. Aleksander Rode

Opracowano na podstawie:

ED 20/89



Linia opóźniająca zachowująca szerokość impulsów

Obwód przedstawiony na rysunku opóźnia impulsy z dokładnością 1ms bez zmniejszenia ich szerokości. Zachowana zostaje w ten sposób informacja kodowana szerokością impulsów. Każdy impuls może być opóźniony od 10 do kilku milisekund, przy czym mogą one następować ze zmienną częstotliwością od części Hz do 2KHz. Jednocześnie można łatwo przystosować układ

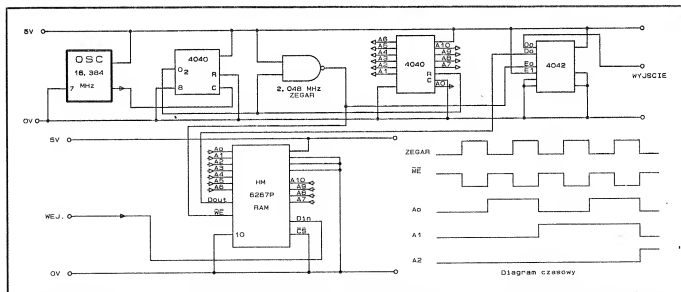
do wytwarzania innych przedziałów opóźnienia. Obwód używa pamięci RAM 16k * 8bit jako bufora cyklicznego. Licznik, sterowany przez oscylator, przebiega całą przestrzeń adresową pamięci. Podczas połowy każdego indywidualnego cyklu adresowego, układ opuszcza zawartość zaadresowanej lokacji pamięci. W czasie drugiej połowy cyklu, obwód zapisuje do danej lokacji pamięci stan

wyjścia. W ten sposób dodawane jest między wejściem a wyjściem opóźnienie równe czasowi koniecznemu do jednorazowego cyklicznego przejścia przez całą przestrzeń adresową pamięci.

mgr inż. Robert Krzysztofek

Opracowano na podstawie:

EDN 17/91



Mikroprocesorowy tester układów cyfrowych TTL

Uruchamianie systemów cyfrowych będących układami prototypowymi lub seryjnymi wymaga stosowania elementów wcześniej sprawdzonych. Eliminuje to przypadek niesprawności merytorycznie dobrze zaprojektowanego układu cyfrowego, przyspiesza uruchamianie, zwłaszcza przy bardzo rozbudowanych systemach.

Niezbędnym urządzeniem przy tego typu pracach jest tester układów cyfrowych serii TTL.

Uniwersalnym testerem układów cyfrowych serii TTL jest tester zbudowany w oparciu o system mikroprocesorowy, umożliwiający automatyczne testowanie wszystkich układów, produkowany przez Zakład Systemów Mikroprocesorowych "Format" w Elblągu 82-300, ul. Bazyńskiego 13/10. Testowany układ umieszcza się w podstawie 14, 18, ... itd. nóżkowej (w zależności od układu), wybiera się jego numer wyświetlany na wyświetlaczu siedmiosegmentowym, po czym uruchamia się testowanie przełącznikiem "TEST". Testowany układ zasilany jest wyłącznie na czas TESTU, po czym następuje odczytanie napięcia +5V od nóżki Vcc. Możliwe jest wówczas wyjęcie testowanego układu, włożenie innego, podanie jego numeru i kolejne uruchomienie testu przełącznikiem "TEST".

Podczas testu mikroprocesor podaje na wejścia badanego układu różne stany logiczne, odczytuje stan wyjść i na tej podstawie stwierdza sprawność elementu, sygnalizując to zapaleniem diody LED:

- zielonej - gdy układ sprawny
- czerwonej - gdy układ niesprawny.

W niniejszym artykule ograniczono się do przedstawienia i omówienia części układu testera umożliwiającego sprawdzenie układów 7400, 7401, 7402.

Rys.1 przedstawia układ testera zbudowanego w oparciu o system mikroprocesorowy w układ, którego wchodzi:

- * jednostka centralna CPU Z80
- * układ generatora kwarcowego
- * układ zerający
- * pamięć stała EPROM 2716
- * dekodery pamięci 74139
- * trzy interfejsy 8255
- * układ wyświetlania dwóch cyfr na wskaźnikach siedmiosegmentowych,

wspólna anoda (dekoder 7447)

- * układ sygnalizacji stanu elementu: LED czerwony - element uszkodzony, LED zielony - element sprawny
- * 24 bufor 6 x 74125
- * układ załączania napięcia +5V do nóżki Vcc (14)
- * podstawa 14-pin, w której umieszczony jest badany układ scalony
- * switch "wyboru numeru elementu"
- * switch "TEST" inicjujący testowanie elementu.

Po włączeniu zasilania następuje cykl zerowania procesora i układów 8255. Następnie procesor ustala określone tryby pracy 18 kolejnych portów 3 interfejsów 8255. Na dwóch wyświetlaczach siedmiosegmentowych pojawia się cyfra 00 (domniemy symbol 7400), po czym następuje testowanie bitu PC0 układu 8255 U8. Procesor sprawdza stan logiczny na wejściu PC0 układu 8255 tak długo, jak długo utrzymywać się będzie stan High ("1"). W tym czasie badany element można umieścić w podstawie. Z wciśnięciem przełącznika "wyboru numeru elementu" (stan logiczny na wejściu PC0 U8) następuje przesłanie do dekodera 7447 za pośrednictwem portu PB bajtu 00000001 co spowoduje wyświetlenie na wskaźniku siedmiosegmentowym cyfry 01 (domniemy symbol 7401). Każde następne wciśnięcie tego przełącznika spowoduje zwiększenie wyświetlanego numeru o jeden, przy czym po osiągnięciu numeru 02 następnym numerem będzie 00 (opisywany w artykule tester sprawdza elementy 7400, 7401, 7402). Po ustaleniu numeru badanego układu test inicjowany jest wyświetlaczem switcha "TEST". Wciśnięcie tego przełącznika jest jednoznaczne ze zgłoszeniem przerwania NMI i powoduje, że procesor przechodzi do programu obsługi przerwania NMI (adres 0066 Hex)

Program obsługi przerwania NMI jest procedurą testującą badany układ. Za pośrednictwem portu PA0 układu 8255 U8 zostaje dołączone napięcie +5V do testowanego elementu. Następnie za pośrednictwem portów PA i PC H układu 8255 U8 oraz buforów 74125 zostają przesłane stany logiczne do wejść badanego układu.

Skutkiem wystąpienia na wejściu określonych stanów logicznych badanego układu scalonego, są odpowiadające im stany logiczne na wyjściu.

Stan wyjść zostaje odczytany przez procesor za pośrednictwem portu PB i PC L układu 8255 U8. Jeżeli stany logiczne na kolejnych wyjściach badanego układu odpowiadają realizowanej przez niego funkcji logicznej (np. NAND) stanów wejściowych, procesor stwierdza, że badany układ jest sprawny i zapala diodę zieloną. W innym przypadku procesor stwierdza wadę elementu i zapala diodę czerwoną. Po zakończeniu testu napięcie zasilające testowany układ zostaje odczone od układu. Możliwe jest więc wyjęcie elementu z podstawki i włożenie następnego.

Programowa realizacja układów mikroprocesorowego testera układów cyfrowych TTL.

Mapa pamięci:

0000Hex-07FFHex - pamięć stała EPROM 2716
0800Hex-0FFFHex - układ 8255 U8
0800Hex - port A układu 8255 U8
0801Hex - port B układu 8255 U8
0802Hex - port C układu 8255 U8
0803Hex - rejestr sterujący układem 8255 U8

1000Hex-17FFHex - układ 8255 U7
1000Hex - port A układu 8255 U7
1001Hex - port B układu 8255 U7
1002Hex - port C układu 8255 U7
1003Hex - rejestr sterujący 8255 U7

1800Hex-1FFFHex - układ 8255 U8
1800Hex - port A układu 8255 U8
1801Hex - port B układu 8255 U8
1802Hex - port C układu 8255 U8
1803Hex - rejestr sterujący 8255 U8

Ustalenie trybów pracy portów równoległych interfejsów 8255 oraz odpowiednich słów sterujących.

Układ 8255 U6 pracuje w konfiguracji:

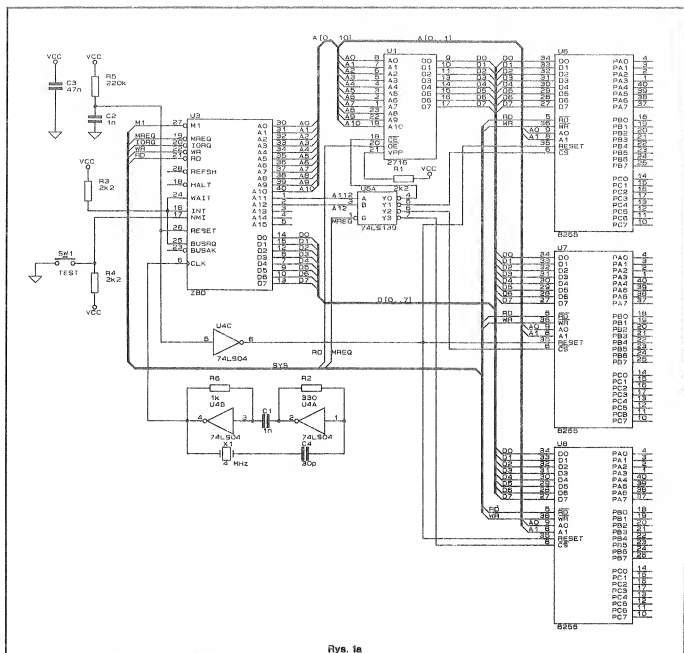
port A - wyjście
4 bardziej znaczące bity portu C - wyjście
port B - wyjście
4 mniej znaczące bity portu C - wyjście

Ustalamy słowo sterujące pracą układu 8255 U6

b7 b6 b5 b4 b3 b2 b1 b0
1 0 0 0 0 0 0 1 - 83 Hex

Układ 8255 U7 pracuje w konfiguracji:

port A - wyjście
port B - wyjście
Port C (bardziej i mniej znaczące bity) - wyjście.



Rys. 1a

Ustalamy słowo sterujące pracą układu 8255 U7

b7 b6 b5 b4 b3 b2 b1 b0
1 0 0 0 0 0 0 0 = 80 Hex.

Układ 8255 U8 pracuje w konfiguracji:

port A - wyjście
4 bardziej znaczące bity portu C - wyjście
port B - wyjście
4 mniej znaczące bity portu C - wejście

Ustalamy słowo sterujące pracą układu 8255 U8

b7 b6 b5 b4 b3 b2 b1 b0
1 0 0 0 0 0 0 1 = 81 Hex

Program inicjujący pracę 3 interfejsów 8255 oraz obsługę przełącznika "wybór numeru elementu" i wyświetlenie wybranego numeru na dwóch wskaźnikach siedmiosegmentowych.

Komentarz

START:
LD HL, 0803 Hex - przejdź do rejestrów H i L adres rejestru sterującego układem 8255 U8
LD (HL), 83 Hex - do rejestru sterującego układem 8255 U8 przejdź ustalone słowo sterujące 83H
LD HL, 1003 Hex - do rejestrów H i L adres rejestru sterującego

LD (HL), 80 Hex

LD HL, 1803 Hex

LD (HL), 81 Hex

LD C, 00 Hex

LD HL, 1801 Hex

LD (HL), 00 Hex

Obsługa przełącznika "wybór numeru elementu" wraz z wyświetleniem numeru na wyświetlaczach.

CZEKA:

LD A, (1802)

AND 01

CP 01

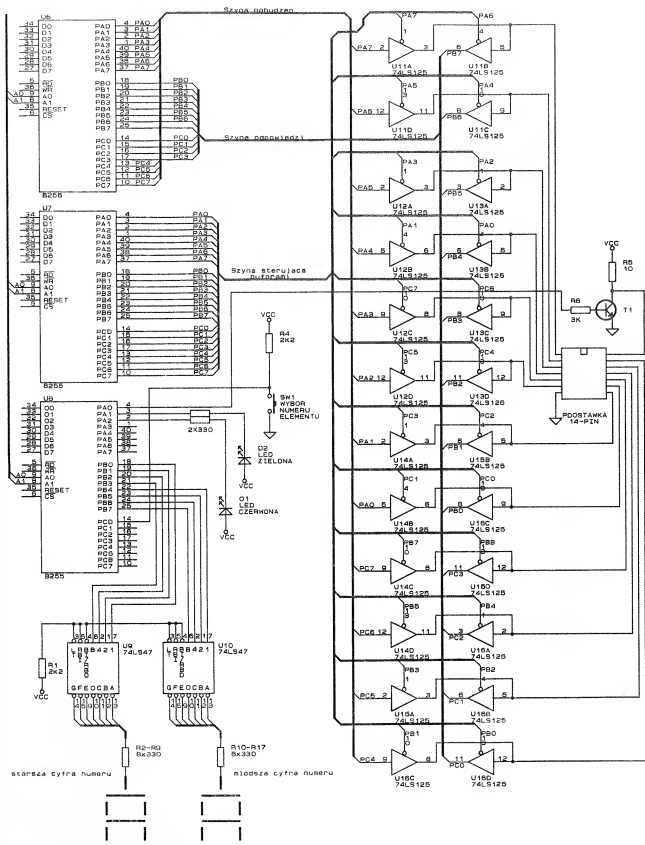
JP Z CZEKAJ

LD B, FF

cego układu 8255 U7

- do rejestru sterującego układem 8255 U7 przejdź ustalone słowo sterujące 80H
- przejdź do rejestrów H i L adres rejestru sterującego układem 8255 U8
- do rejestru sterującego układem 8255 U8, którego adres znajduje się w rejestrach H i L przejdź ustalone słowo sterujące 81H
- do rejestru C wpisz bajt 00H
- wyslij na wyświetlacz cyfrę 00.

- przejdź do akumulatora stan portu C układu 8255 U8
- maskowanie bitów portu C z wyjątkiem PC0
- czy został wciśnięty przełącznik "wybór numeru elementu"?
- jeśli nie wciśnięty to czekaj na wciśnięcie i skocz do etykiety CZEKAJ
- jeśli natomiast został wciśnięty to wejdź do pętli eliminującej drgania atyków przełącznika.



Rys. 1b

PĘTLA:
DEC B
JP NZ PĘTLA
INR C
LD A, C
CP 03

- zawartość rejestru C zwiększ o 1
- do akumulatora zawartość rejestru C
- czy nastąpiło trzecie wciśnięcie przełącznika "wybór numeru elementu"
- jeśli nie to skocz do etykiety DAL
- jeśli tak to wyzeruj rejestr C bowiem opisywany układ testuje układy o numerze 00, 01, 02

DAL:
LD DE, 1801 Hex

- przejdź do rejestrów D i E adres portu B układu 8255 U8 do którego dołączony jest układ wyświetlania numeru elementu

LD (DE), A
JMP CZEKAJ

- wyświetl stan akumulatora
- ekoc do etykiety CZEKAJ

Program obsługi przerwania NMI zainicjowany wciśnięciem przełącznika "TEST"

0066 Hex
LD A, C

- przejdź do akumulatora zawartość rejestru C

CP 00

- sprawdź czy wybrano układ 7400

JP Z 7400

- jeśli tak to skocz do etykiety 7400

CP 01

- sprawdź czy wybrano układ 7401

JP Z 7401

- jeśli tak to skocz do etykiety 7401

CP 02

- sprawdź czy wybrano układ 7402

JP Z 7402

- jeśli tak to skocz do etykiety 7402.

Po stwierdzeniu, który z układów znajduje się w podstawce procesor przechodzi do testowania wybranego układu.

Zanim nastąpi przestanie określonych stanów logicznych do wejść układu i odczytanie stanu wyjść, należy ustalić, które z nóżek scalaka są wejściami, a które wyjściami i w zależności od tego usaktywnić określone bufony sterowane układem 8255 U7.

Tabela 1.

	7400	7401	7402
PA7 nóżka 1 podstawki	0	1	1
PA6	1	0	0
PA5 nóżka 2 podstawki	0	0	0
PA4	1	1	1
PA3 nóżka 3 podstawki	1	0	0
PA2	0	1	1
PA1 nóżka 4 podstawki	0	1	1
PA0	1	0	0
PC7 nóżka 5 podstawki	0	0	0
PC6	1	1	1
PC5 nóżka 6 podstawki	1	0	0
PC4	0	1	1
PC3 nóżka 8 podstawki	1	0	0
PC2	0	1	1
PC1 nóżka 9 podstawki	0	0	0
PC0	1	1	1
PB7 nóżka 10 podstawki	0	1	1
PB6	1	0	0
PB5 nóżka 11 podstawki	1	0	0
PB4	0	1	1
PB3 nóżka 12 podstawki	0	0	0
PB2	1	1	1
PB1 nóżka 13 podstawki	0	1	1
PB0	1	0	0

WE - 0
1

WY - 1
0

Wysłanie do portów PA, PB, PC bajtów przedstawionych powyżej, spowoduje przetłoczenie buforów 74125 na odpowiednie wejścia i wyjścia wybranych do testowania układów cyfrowych.

Wysłanie stanów logicznych do portów PA i 4 bardziej znaczących bitów portu C układu 8255 U8 spowoduje pojawienie się na wejściu portu PB i czterech mniej znaczących bitów portu PC układu 8255 U6 następujących stanów:

Tabela 2.

WEJŚCIA:

dotyczy układu 8255 U

	7400	7401	7402
PA7	0 0 1 1	X 1 1 1 0	X 1 0 0 0
PA6	0 1 0 1	0 0 1 1	0 0 1 1
PA5	X 1 1 1 0	0 1 0 1	0 1 0 1
PA4	0 0 1 1	X 1 1 1 0	X 1 0 0 0
PA3	0 1 0 1	0 0 1 1	0 0 1 1
PA2	X 1 1 1 0	0 1 0 1	0 1 0 1
PA1	X 1 1 1 0	0 0 1 1	0 0 1 1
PA0	0 0 1 1	0 1 0 1	0 1 0 1
PC7	0 1 0 1	X 1 1 1 0	X 1 0 0 0
PC6	X 1 1 1 0	0 0 1 1	0 0 1 1
PC5	0 0 1 1	0 1 0 1	0 1 0 1
PC4	0 1 0 1	X 1 1 1 0	X 1 0 0 0

X - wyjście

WYJŚCIA:

	7400	7401	7402
PB7	0 0 0 1 1	1 1 1 0	1 0 0 0
PB6	0 0 1 0 1	0 0 0 1 1	0 0 0 1 1
PB5	1 1 1 0	0 0 1 0 1	0 0 1 0 1
PB4	0 0 0 1 1	1 1 1 0	1 0 0 0
PB3	0 0 1 0 1	0 0 0 1 1	0 0 0 1 1
PB2	1 1 1 0	0 0 1 0 1	0 0 1 0 1
PB1	1 1 1 0	0 0 0 1 1	0 0 0 1 1
PB0	0 0 0 1 1	0 0 1 0 1	0 0 1 0 1
PC3	0 0 1 0 1	1 1 1 0	1 0 0 0
PC2	1 1 1 0	0 0 0 1 1	0 0 0 1 1
PC1	0 0 0 1 1	0 0 1 0 1	0 0 1 0 1
PC0	0 0 1 0 1	1 1 1 0	1 0 0 0

o - wejście

Wysłanie do portu PA i 4 bardziej znaczących bitów portu PC określonych stanów logicznych spowoduje, że na wejściu portu PB i 4 mniej znaczących bitach portu C pojawią się stany podane w tabeli nr 2.

Program testujący układ 7400

7400:

- LD HL, 1800 Hex - przejdź do rejestrów H i L adres portu A układu 8255 U8
- LD (HL), FE Hex - dołącz napięcie +5V do układu testowanego
- LD HL, 1000 Hex - przejdź do rejestru HL adres portu A układu 8255 U7
- LD (HL), 59 Hex - wysłanie do portu A układu 8255 U7 bajtu 59 Hex sterujący buforami 74125 (patrz tabela nr 1)
- INR HL - zwiększ o jeden zawartość rejestru L
- LD (HL), 65 Hex - wysłanie do portu B układu 8255 U7 bajtu 65 Hex sterujący buforami 74125 (wg tabeli nr 1).
- INR HL -
- LD (HL), 65 Hex - wysłanie do portu C układu 8255 U7 bajtu 65 Hex sterujący buforami 74125 (wg tabeli nr 1).

Wysłaliśmy następnie na wejścia testowanego układu określone stany logiczne i badamy stan wyjść.

c.d. na stronie 17

dokończenie ze strony 12

LD HL, 0800	- w rejestrze HL adres portu A układu 8255 U6	LD (HL), 96	INR HL
LD (HL), 00	- wysłaj bajt 00	LD (HL), 55	LD HL, 0800
LD HL, 0802	- w rejestrze HL adres portu C układu 8255 U6	LD (HL), 00	LD HL, 0802
LD (HL), 00 Hex	- wysłaj przez port C układu 8255 U bajt 00	LD (HL), 00	LD HL, 0801
LD HL, 0801 Hex	- w rejestrze HL adres portu B układu U6	LD A, (HL)	AND 90
LD A, (HL)	- prześlij do akumulatora zawartość portu B układu U6	CP 90	JP NZ UKŁ. USZK.
AND 26 Hex	- maskowanie bajtem 26 Hex	JP NZ UKŁ. USZK.	INR HL
CP 26	- porównaj czy stan wyjść testowanego układu jest zgodny z bajtem 26	LD A, (HL)	AND 09
JP NZ UKŁ. USZK.	- jeśli nie to skocz do etykiety UKŁ. USZKODZONY	CP 09	JP NZ UKŁ. USZK.
INR HL		JMP UKŁ. SPRAWNY	7402:
LD A, (HL)	- do akumulatora prześlij zawartość portu C układu U6	LD HL, 1800	LD (HL), FE
AND 04	- maska 04	LD HL, 1000	LD (HL), 96
CP 04	- porównaj z bajtem 04	INR HL	LD (HL), 96
JP NZ UKŁ. USZK.		LD (HL), 96	INR HL
UKŁAD SPRAWNY:		LD (HL), 55	LD HL, 0800
LD HL, 1800	- zapal diodę koloru zielonego	LD (HL), 25	LD HL, 0802
LD (HL), FD	- oraz wyłącz zasilanie układu testowanego	LD (HL), 20	LD HL, 0801
RET	go	LD A, (HL)	AND 90
UKŁAD USZKODZONY:		CP 00	JP NZ UKŁ. USZK.
LD HL, 1800	- zapal diodę czerwoną - układ uszkodzony oraz wyłącz zasilanie testowanego układu	INR HL	LD A, (HL)
LD (HL), FB		LD A, (HL)	AND 09
RET		CP 00	JP NZ UKŁ. USZK.
		JMP UKŁ. SPRAWNY.	

Programy testujące układy 7401 i 7402 tworzy się w analogiczny sposób, z tą różnicą, że sterowanie buforami odbywa się zgodnie z tabelą 1, a stan pobudzeń i wyjść wg tabeli nr 2.

7401:
LD HL, 1800
LD (HL), FE
LD HL, 1000
LD (HL), 96
INR HL

Do zamieszania dwu sygnałów o poziomach cyfrowych i o zbliżonej częstotliwości, w celu uzyskania sygnału o częstotliwości akustycznej będącej różnicą częstotliwości sygnałów wejściowych, można wykorzystać bramkę NAND lub EXOR.

Jako przykład zastosowania mieszacza na funktorze EXOR na Rys.1 przedstawiono prosty wykrywacz przedmiotów metalowych. Częstotliwości dwu generatorów pracujących na czterech inwertorach układu scalonego 74LS04 - generatora z rezonatorem piezoceramicznym 465 kHz oraz generatora z pętlą indukcyjną, są porównywalne w mieszaczu na czterech bramkach 74LS00 realizującym funkcję alternatywy wyklucającej EXOR. Po mieszaczu włączony jest układ całujący, który spełnia tu rolę filtru dolnoprzepustowego m.cz. Następnie sygnał m.cz. jest wzmacniany prądowo w dwu połączonych równolegle inwertorach 74LS04. Cechą charakterystyczną mieszacza na bramce EXOR (w

przeciwieństwie do mieszacza na bramce NAND) jest praca także na częstotliwościach harmonicznych. Oznacza to, że generator z pętlą indukcyjną może pracować także na częstotliwościach: 465kHz/2, 465kHz/3, ... oraz 2 x 465kHz, 3 x 465kHz, ... (w wykrywaczu przedmiotów metalowych częstotliwość pracy powyżej 500kHz nie jest zalecana).

Pętlę indukcyjną (wielozwojowe uzwojenie o średnicy 10-20cm) należy zaekranować umieszczając ją w metalowej rurce. Wykrywacz nie będzie wówczas reagował np. na zbliżeniu ręki. Ekran nie może tworzyć zamkniętej pętli. Rurkę należy rozciąć na środku lub połączyć ją z masą tylko z jednej strony. Liczbę zwojów w pętli oraz pojemność C należy dobrać eksperymentalnie mierząc częstotliwość generatora częstotłomierzem cyfrowym.

Interesującym przykładem mieszacza cyfrowego jest przedstawiony na Rys.2 mieszacz harmoniczny na prze-

rzutniku typu D. Zależność częstotliwości wyjściowej od częstotliwości wejściowych F1 i F2 (przedstawiona na Rys.2 na wykresie) jest nieco skomplikowana i do obliczania częstotliwości wyjściowej F służy podany niżej krótki program napisany w BASIC'u:

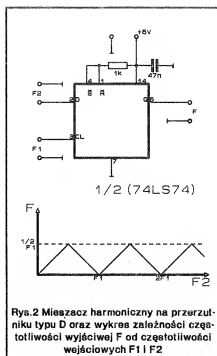
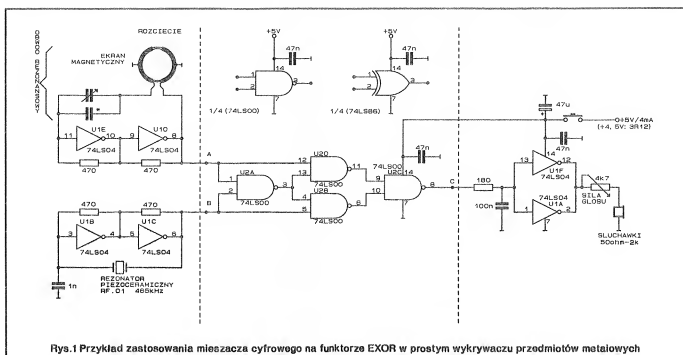
```
10 INPUT "F1?"; F1
20 INPUT "F2?"; F2
30 F = ABS (F2 - INT ((F2/F1) + 5)) * F1
40 PRINT "F = "; F
50 GO TO 10
```

Przykłady:

F1? 10	F2? 9	F1? 4	F1? 10
F2? 9	F2? 10	F2? 10	F2? 4
F = 1	F = 1	F = 2	F = 4
F1? 1	F1? 10.1		
F2? 10.1	F2? 1		
F = 0.1	F = 1		

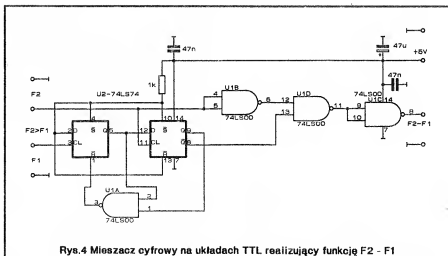
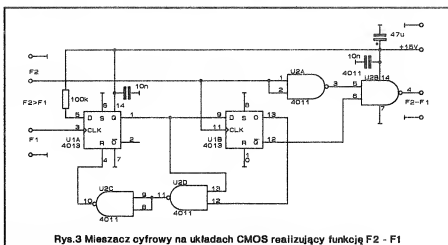
mgr inż. Dariusz Bieńkowski

Mieszacze cyfrowe



Na Rys.3 przedstawiono mieszacz cyfrowy na układach CMOS 4013 i 4011. Przy spełnionym warunku $F_2 > F_1$ częstotliwość wyjściowa jest opisana prostym wzorem: $F_2 - F_1$. Przy napięciu zasilającym 15V mieszacz pracuje dla częstotliwości $F_2 \leq 5\text{ MHz}$ i $F_1 \leq 3\text{ MHz}$.

Mieszacz pracujący przy większych częstotliwościach można wykonać na układach CMOS HCT lub TTL. Na rys. 4 przedstawiono mieszacz cyfrowy na układach 74LS74 i 74LS00.



Andrzej Kusiak

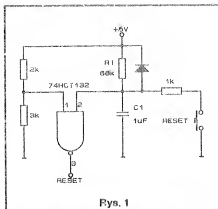
Włączanie i wyłączanie systemu mikroprocesorowego

W obu przypadkach system powinien otrzymać sygnał RESET. Przykład układu generującego ten sygnał przedstawia rys.1. W przypadku włączenia lub ręcznego restartu sygnał RESET jest generowany z opóźnieniem wynikającym z elementów RC. Opóźnienie wprowadza się po to, aby system rozpoczął pracę dopiero wtedy, gdy napięcie zasilające osiągnie poziom nominalny. Natomiast przy wyłączeniu zasilania, mikroprocesor otrzymuje RESET natychmiast poprzez dzielnik rezystancyjny. Brak tego sygnału mógłby spowodować nieprawidłowości w dzia-

łaniu systemu w czasie, gdy opadająca napięcie zasilania nie będzie jeszcze na tyle niskie, aby uniemożliwić jakiegokolwiek działania systemu.

mgr inż. Robert Krzysztofek

Opracowano na podstawie:
EDN No.17.



Rys. 1

Stabilny generator sinusoidalnego napięcia

Generator może być wykorzystany jako zasilający w napędzie silnika elektrycznego magnetofonów i odtwarzaczy, w stroboskopach i innych urządzeniach, gdzie wymagane jest źródło sinusoidalnego napięcia, o stabilnej amplitudzie i częstotliwości. Generator ten posiada względnie mało elementów, jest prosty w strojeniu, oraz posiada dużą obciążalność.

Dane techniczne:

- * zakres zmian częstotliwości - 5 - 300kHz
- * zakres możliwych zmian napięcia wyjściowego przy obciążeniu 500Ω - 0,5 - 7V
- * niwornomierność charakterystyki amplitudowo - częstotliwościowej - 0,6dB
- * dryf częstotliwości w ciągu 8 godzin pracy - 0,3%
- * zmiana częstotliwości przy zwiększeniu napięcia zasilania od 2 x 7 do 2 x 12,6V przy napięciu wyjściowym 3V - 0,07%
- * napięcie zasilania:
 - nominalne - 2 x 12,6V
 - minimalne (przy wyjściowym napięciu 1V) - 2 x 3,4V
- * prąd pobierany przy napięciu zasilania:
 - nominalnym - 9mA
 - minimalnym - 3,5mA

Na Rys.1 przedstawiony jest schemat generatora. Przedstawia on sobą wzmacniacz operacyjny na dyskretnych elementach, objęty dodatkim sprzężeniem zwrotnym (przez dzielnik R3 H1) oraz ujemnym sprzężeniem (przez podwójny układ mostkowy T C1R4 C3R6).

Tranzystory T1, T2 pracują w układzie zapewniającym dużą rezystancję wyjściową i pozwalającym na zastosowanie kondensatorów C1 i C3 o względnie małej pojemności. Napięcie wyjściowe jest zadawane przez dzielnik R3 H1 (przy zwiększaniu R3, ono rośnie). Przy zmniejszeniu napięcia za silania wartości rezystancji R1 należy pro-

porcjonalnie zmniejszać. Generator może pracować i przy napięciu zasilania mniejszym niż podane, w danych technicznych, ale za to w większym paśmie częstotliwości i oczywiście z mniejszym napięciem wyjściowym.

Np. przy rezystancji $R_1 = 5k\Omega$ i $R_3 = 53\Omega$ może on pracować przy napięciu zaalania $2 \times 1.5V$, przy tym napięcie wyjściowe przy obciążeniu 300Ω nie jest większe niż $0.5V$.

Częstotliwość drgań generatora (jest ona obliczana ze wzoru

$$f = \pi \sqrt{R_4 R_6 C_1 C_3} / 2$$

można zwiększyć do 300Hz. W tym celu wystarczy zamienić rezystory R4 i R6 na inne o rezystancji 1k Ω .

W obwodzie zadającym częstotliwość najlepiej jest zastosować papierowe kondensatory, a kondensator C2 może być dowolny, ceramiczny.

Strojenie generatora sprowadza się do ustalenia potrzebnej częstotliwości drogi dobiegania rezystorów R4, R6 (jednakowa wartość) i napięcia wyjściowego (R3). Przez zmiany kondensatorów C1 i C3 (naprawdę, gdy pojemność C1 jest 2,5 raza większa niż pojemność C3) można zmieniać częstotliwość generacji od kilku dziesiątek Hz do 20kHz.

Na niskich częstotliwościach, kosztat napięcia wyjściowego, ze względu na małą bezwładność ciepłą *wielkości* zarzenia H, zauważalnie odbiega od sinusoidal. Zmniejszenie tych złaizataczek można uzyskać przez zmianę żarówki na żarówkę o większej mocy lub przez równoległe podłączenie do żarówki rezystora 180Ω, przy jednoczesnym zmniejszeniu 2 razy wartości rezystora R3.

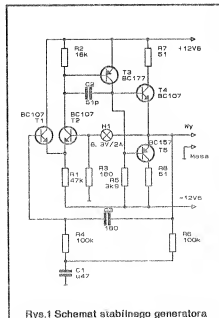
Jeżeli konieczne jest pozbycie się składowej stałej napięcia wyjściowego, do generatora włączany jest nastawny rezystor 100k. Rezystancyjna część tego rezystora włączana jest do wyprowadzeń +12.6V

i masy, a suwak przez rezystor 1M do bazy tranzystora T1. Przez zmianę położenia suwaka osiąga się zerowej wartości stałej składowej napięcia na wyjściu układu.

Jeżeli generator przewidywany jest do pracy w przenośnej aparaturze, zalecany jest wybór żerówki, która posiadała minimalne prawdopodobieństwo wahań rezystancji włókna, z powodu zwierania i rozwierania zwojów sprężalnego włókna przy wstrząsach. Przydatność takiej żerówki można sprawdzić przez stukanie po niej przy jednoczesnym pomiarze napięcia wyjściowego (nie powinno ono się zmieniać).

mgr inż. Zbigniew Pędzik

Opracowano na podstawie:
Radio 8/89



Rys.1 Schemat stabilnego generatora

Przeciw włamaniowy zamek szyfrowy z alarmem

Rys. 1. przedstawia schemat przeciw włamaniowego zamka szyfrowego z alarmem. Układ zbudowany jest na elementach cyfrowych serii 74. Wykorzystany element 74145 (dekoder kodu BCD z wyjściami typu otwarty kolektor) umożliwia sterowanie układami wykonawczymi: elektromagnesem zamka, oraz załączaniem alarmu.

W skład układu wchodzi:

- * dwa liczniki 74193 z układami taktującymi bezodbićowymi (U9A, U9B, U9C, U9D)
- * dwa dekodery kodu BCD na kod wyjściowy siedmiosegmentowy (U3, U4)
- * dwa wyświetlacze siedmiosegmentowe typu - wspólna anoda
- * dwa ośmiowejściowe multiplexery/selektory danych 74151 (U5, U6) z dwoma przełącznikami SW1, SW2
- * dekoder kodu BCD z wyjściem typu otwarty kolektor 74145 U7
- * elementy wykonawcze (w naszym przypadku dwa przekaźniki 12V)
- * trzy przełączniki: SW5, SW6 - przełączniki monostabilne do zmiany stanów wyjściowych liczników U1 i U2
- * SW 3,4 - przełącznik typu push button.

Zasada działania zamka szyfrowego polega na wybraniu właściwego numeru szyfrowego wyświetlanego na dwóch wskaźnikach siedmiosegmentowych, powodującego zadziałanie przekaźnika "elektromagnes" i otwarcie zamka. Każdy inny źle wybrany numer spowoduje zadziałanie przekaźnika alarmu. Układ umożliwia wybieranie 2 cyfr z przedziału od 0 do 7. Tak więc mamy do dyspozycji następujące numery:

0 0; 0 1;... 0 7; 1 0; 1 1;... 1 7; 2 0;...

...2 7; 3 0;... 3 7; 4 0;... 4 7; 5 0;...

...5 7; 6 0;... 6 7; 7 0;... 7 7

Całkowita ilość numerów wynosi 56 przy czym tylko jeden z numerów jest właściwy.

Zmiana numeru jest możliwa przy wybraniu jednego z dwóch lub obu przełączników monostabilnych SW5, SW6.

Przełączniki monostabilne SW5, SW6 sprzęgnięte są z antyodbićowym układem, zbudowanym na brankach NAND. Zabezpiecza to układ przed przypadkowymi zmianami stanów licznika wywołującymi podczas odbicia styków przełącznika.

Każde wciśnięcie przełączników SW5, SW6 powoduje zmianę stanu liczników na wyjściu o 1. Stan liczników wyświetlany jest na dwóch wskaźnikach siedmiosegmentowych za pośrednictwem dwóch dekodów 7447 U3, U4.

Wyjścia liczników podłączone są do wejść dwóch ośmiowejściowych multiplexerów/selektorów danych, układów 74151 U5, U6.

Stany wyjściowe liczników 74193 U1, U2 adresują odpowiednio wejścia multiplexerów, których stany ustalone są za pośrednictwem dwóch przełączników SW DIP-8 SW1, SW2. Selektory danych przełączają na wyjście zadedykowane stanem liczników zaprogramowane przełącznikami SW DIP-8 SW1, SW2 stany wejściowe multiplexerów.

Każde z wejść multiplexera/selektora danych ma swój adres odpowiadający numerowi wyświetlanemu na wskaźnikach siedmiosegmentowych.

I tak:		
WEJŚCIE	UKŁADU	ADRES
D 0	U6	X 0
D 1	U6	X 1
D 2	U6	X 2
D 3	U6	X 3
D 4	U6	X 4
D 5	U6	X 5
D 6	U6	X 6
D 7	U6	X 7
D 0	U5	0 X
D 1	U5	1 X
D 2	U5	2 X
D 3	U5	3 X
D 4	U5	4 X
D 5	U5	5 X
D 6	U5	6 X
D 7	U5	7 X

ADRES (numer wyświetlany na wskaźnikach siedmiosegment.)

X - oznacza dowolny stan licznika wyświetlany na wskaźnikach siedmiosegmentowych.

Wyjście selektorów danych doprowadzone są do wejść A i B dekodera BCD "i z 10" 74145 U7.

Jeśli na obu wejściach pojawi się stan 0 0, wówczas na wyjściu 0 dekodera U7 stan niski spowoduje zadziałanie przekaźnika "elektromagnes" i otwarcie zamka. Każdy inny stan na wejściu dekodera, tzn. 0 1; 1 0; 1 1, spo-

woduje zadziałanie przekaźnika "alarm" i uruchomienie alarmu.

Część wykonawcza układu jest możliwa dopiero po wciśnięciu przekaźnika SW3, SW4.

Obsługa układu sprowadza się więc do wykonania następujących czynności:

1. Zaprogramowanie układu poprzez ustawienie przy wybraniu numerze stanu logicznego "1 1" na wejściach multiplexerów/selektorów danych. Pozostałe pary wejść mogą być w stanie 0 1; 1 0; 0 0
2. Przy otwieraniu zamka: wybrać ustawiony numer i wciśnięcie przełącznika "wykonał" SW3 - SW4. Zamek zostanie zwolniony, a liczniki zostaną wyzerowane.

W przypadku wybrania złego numeru i wciśnięcia przełącznika "wykonał" zostanie uaktywniony alarm.

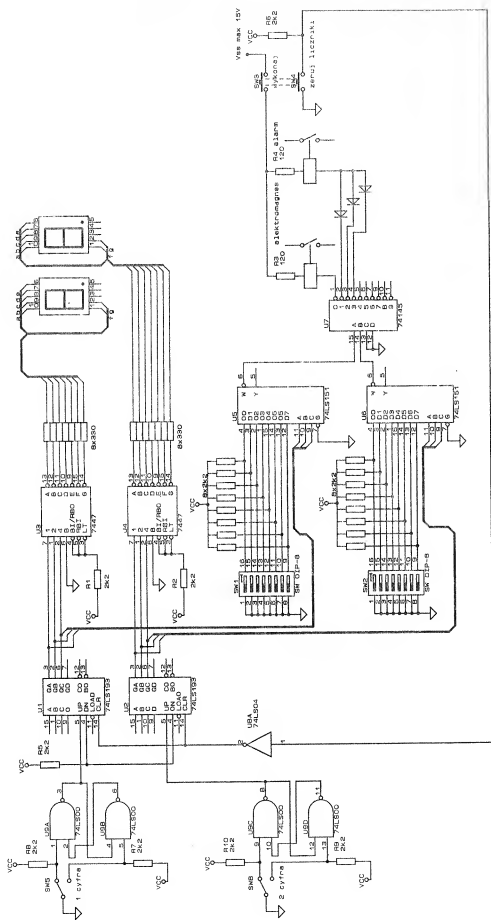
Przykład:

Niech zaszyfrowanym numerem powodującym otwarcie zamka będzie numer 36.

Należy więc ustalić stan wejść multiplexerów/selektorów danych w następujący sposób:

1. stan "1" na wejściu D2 układu U5, oraz na wejściu D5 układu U6
2. stan "0" na pozostałych wejściach układu U5 i U6.

mgr inż. Dariusz Białkowski

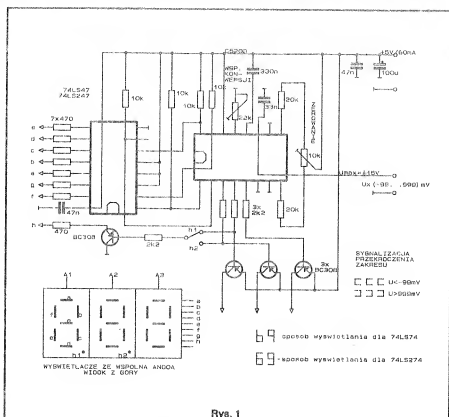


Rys. 1 Schemat zamka cyfrowego

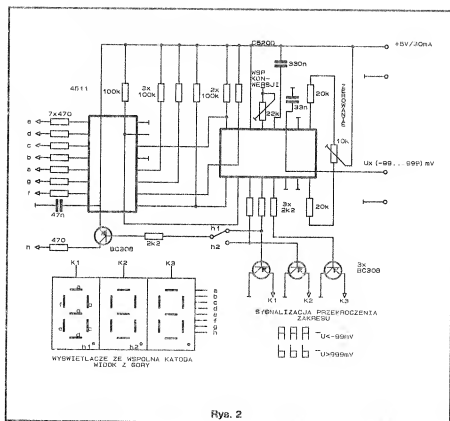
Kilka uwag o przetworniku analogowo-cyfrowym C520D

Na naszym rynku dostępne są przetworniki analogowo - cyfrowe C520D produkcji dawnej NRD (odpowiednik nie produkowanego już układu AD2020 firmy Analog Devices) po cenie znacznie niższej od przetworników ICL7106 i ICL7107. Przetwornik C520D został dokładnie opisany przez M. Kręcielewskiego w "Radioelektroniku" nr 6/1986 (uwaga: w artykule tym na Rys.3 są błędy - zastosowane wyświetlacze powinny być ze wspólną anodą, a kondensator całkujący powinien mieć wartość 330nF). Jako uzupełnienie do tego artykułu na Rys.1 i 2 przedstawiono dwa woltomierze cyfrowe o zakresie -99 ... 999mV - dla wyświetlaczy ze wspólną anodą (Rys.1) i dla wyświetlaczy ze wspólną katodą (Rys.2). Na uwagę zasługuje układ sterowania "przecłinkiem", pozwalający na zastosowanie tanich wyświetlaczy sterowanych sekwencyjnie. Współczynnik konwersji przetwornika C520D można regulować w niewielkim zakresie - przeciętnie (-5 ... 10)%.

Andrzej Kusiek



Rys. 1

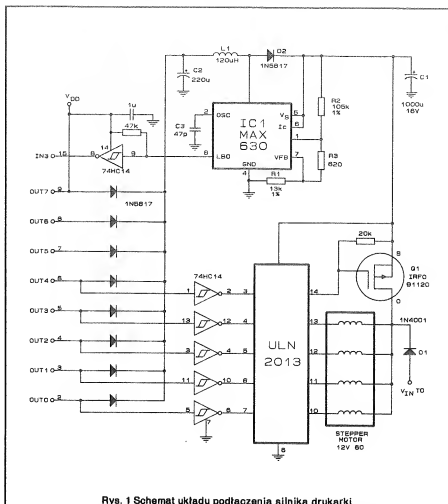
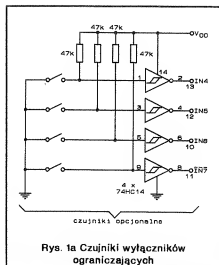


Rys. 2

Silnik krokowy sterowany portem drukarki

Rys.1 przedstawia podłączenie silnika krokowego do standardowego równoległego portu komputera PC. Prosty program umożliwia sterowanie takim silnikiem z optymalną prędkością. Zespół diod sumuje dane wyjściowych linii - które są wyjściami bufora 74LS244 - ze spadkami napięć na diodach Schottkiego, dostarczając napięcia V_{IN} około 2.6V i 100mA prądu. IC1 przetwarza V_{IN} na napięcie 12V. R1, R2 i R3 ustalają punkt wyzerowania wewnętrznego komparatora tak, by przełączenie nastąpiło, gdy napięcie 12V obniży się o 5%.

Wyjście komparatora przez wyprowadzenie 8 łączy się z portem drukarki przez wejście IN.3 i wskazuje gotowość obwodu. Scaledony układ Darlingtona, ULN-2013, steruje końce uzwojeń silnika znajdujące się na niskim potencjale. Sygnały OUT.0 do OUT.3 wymuszają w danej chwili stan niski na jednym z uzwojeń. Przez aktywne uzwojenie płynie prąd 20mA do diody D1. Żeby wykonać krok, sygnał OUT.4 włącza tranzystor T1 na kilka ms, zasila dane uzwojenie prądem 200mA. Powoduje to zanik regulacji zasilają-



WOBUŁOSKOPY od 400 kHz do 1 GHz

OSCYSKOPY DWUKANAŁOWE 0-20 MHz

* Sondy RC 1:10,

oferuje

również za zaliczeniem pocztowym

Zakład Aparatury Elektronicznej,

ul. Śliczna 12/111,

31-444 Kraków, tel. **12-81-60.**

RE 123

STEROWNIKI

do wężych dyskoteekowych, reklam świetlnych, neonów. Niezawodnie w działaniu, o małych wymiarach. Posiadają własne zasilacze, dużą obciążalność i możliwość podłączenia jednego węża ośmiokanałowego lub dwóch wężych czterokanałowych.

Dają możliwość programowania 200 kombinacji zapalających i gaszących się świateł.

Informacje: **koperta zwrotna + znaczek**

"VOLT-S"

UL. MALBORSKA 88/24

82-300 ELBLĄG

RE 111

SZANOWNI PAŃSTWO!

Firma

"KM - TRONIK"

ul. Sienkiewicza 2/36

82-300 Elbląg

poleca wysokiej jakości

Zestaw Mikrofonu Bezprzewodowego

dla: ośrodków kultury
dyskotek
grup muzycznych
szkół
kościół

Nasze urządzenie umożliwia bezprzewodowe połączenie

**mikrofonu dynamicznego lub pojemnościowego
gitary elektrycznej
noszonego instrumentu klawiszowego
innego urządzenia audio
z mikserem lub wzmacniaczem.**

Zasilanie - 4 x LR6 (nadajnik), zasilacz sieciowy 2W (odbiornik)

Zasięg - minimum 100m

Czas pracy - minimum 20 godzin z jednego kompletu baterii

Gwarancja - 12 miesięcy

Na życzenie klienta dostarczamy urządzenia wielokanałowe.

Dystrybutor

Sklep Muzyczny

VIDMUZ

ul. Brzozowa 20

82-300 Elbląg

tel. (50) 45123

Cena zestawu podstawowego 2.5mln zł.
(z podatkiem obrotowym).

Przy zakupie na cele zaopatrzeniowe zniżki

